

**SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND  
MANUFACTURE THEREOF**

Patent Number: JP5075033  
Publication date: 1993-03-26  
Inventor(s): SATO KAZUE; others: 03  
Applicant(s):: HITACHI LTD  
Requested Patent: ☐ JP5075033  
Application Number: JP19910233317 19910912  
Priority Number(s):  
IPC Classification: H01L27/06  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:** To realize both improvement in the degree of integration and increase in working speed of a semiconductor integrated circuit device.

**CONSTITUTION:** The concentration gradient of impurity concentration distribution in the rectangular direction to a junction section in an n<+> buried layer is constituted at the two stages of distribution 2a having high concentration and distribution 2b having low concentration in the junction section of the n<+> buried layer organizing the collector of a bipolar-transistor and a p<+> buried layer surrounding the n<+> buried layer, and the region of distribution 2b having low concentration is p-n joined with the p<+> buried layer. The concentration gradient of impurity concentration distribution in the rectangular direction to the junction section in the p<+> buried layer is constructed at the two stages of distribution having high concentration and distribution having low concentration, and the region of distribution having low concentration may be p-n joined with the n<+> buried layer.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-75033

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl.<sup>5</sup>

H01L 27/06

識別記号

庁内整理番号

FI

技術表示箇所

7342-4M

H01L 27/06

321 E

審査請求 未請求 請求項の数7(全8頁)

(21)出願番号 特願平3-233317

(22)出願日 平成3年(1991)9月12日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 佐藤 和重

茨城県日立市久慈町4026番地 株式会社日

立製作所日立研究所内

(72)発明者 吉住 圭一

群馬県高崎市西横手町111番地 株式会社

日立製作所半導体設計開発センタ内

(72)発明者 井澤 龍一

群馬県高崎市西横手町111番地 株式会社

日立製作所半導体設計開発センタ内

(74)代理人 弁理士 鶴沼 辰之

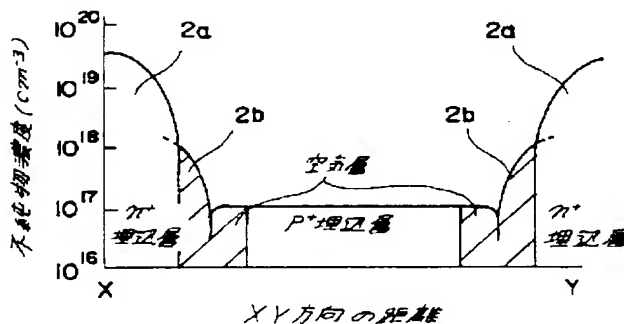
最終頁に続く

(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【目的】 半導体集積回路装置の高集積化と高速化の双方を実現すること。

【構成】 バイポーラ・トランジスタのコレクタを成すn+埋込層と該n+埋込層を囲むp+埋込層の接合部で、n+埋込層における接合部直角方向への不純物濃度分布の濃度勾配を、濃度の高い分布2aと低い分布2bの2段に構成し、かつ濃度の低い分布2bの領域をp+埋込層とPN接合させる。また、p+埋込層における接合部直角方向への不純物濃度分布の濃度勾配を、濃度の高い分布と低い分布の2段に構成し、濃度の低い分布の領域をn+埋込層とPN接合させてもよい。



## 【特許請求の範囲】

【請求項1】 バイポーラ・トランジスタで構成され、該バイポーラ・トランジスタは基板上にn埋込層と更にその上にn型区域が積層され、かつ隣り合うバイポーラ・トランジスタ同士を分離するフィールド酸化膜が形成された半導体集積回路装置において、

前記バイポーラ・トランジスタのコレクタを成すn埋込層と該n埋込層を囲むp埋込層の接合部で、前記n埋込層とp埋込層のうち、いずれか一方の埋込層における前記接合部直角方向への不純物濃度分布の濃度勾配を、濃度の高い分布と低い分布の2段に構成し、かつ前記濃度の低い分布の領域を他方の埋込層とPN接合させたことを特徴とする半導体集積回路装置。

【請求項2】 バイポーラ・トランジスタとnチャンネルMOSトランジスタとpチャンネルMOSトランジスタで構成され、前記バイポーラ・トランジスタは基板上にn埋込層と更にその上にn型区域が積層され、前記nチャンネルMOSトランジスタは基板上にp埋込層と更にその上にp型区域が積層され、前記pチャンネルMOSトランジスタは基板上にn埋込層と更にその上にn型区域が積層され、かつ前記バイポーラ・トランジスタとnチャンネルMOSトランジスタとpチャンネルMOSトランジスタを各々分離するフィールド酸化膜が形成された半導体集積回路装置において、前記バイポーラ・トランジスタのコレクタを成すn埋込層と該n埋込層を囲むp埋込層の接合部で、前記n埋込層とp埋込層のうち、いずれか一方の埋込層における前記接合部直角方向への不純物濃度分布の濃度勾配を、濃度の高い分布と低い分布の2段に構成し、かつ前記濃度の低い分布の領域を他方の埋込層とPN接合させたことを特徴とする半導体集積回路装置。

【請求項3】 バイポーラ・トランジスタで構成され、該バイポーラ・トランジスタは基板上にn埋込層と更にその上にn型区域が積層され、かつ隣り合うバイポーラ・トランジスタ同士を分離するフィールド酸化膜がアイソプレーナ方式で形成された半導体集積回路装置において、前記バイポーラ・トランジスタのコレクタを成すn埋込層と該n埋込層を囲むp埋込層の接合部で、前記n埋込層とp埋込層のうち、いずれか一方の埋込層における前記接合部直角方向への不純物濃度分布の濃度勾配を、濃度の高い分布と低い分布の2段に構成し、かつ前記濃度の低い分布の領域を他方の埋込層とPN接合させたことを特徴とする半導体集積回路装置。

【請求項4】 バイポーラ・トランジスタとnチャンネルMOSトランジスタとpチャンネルMOSトランジスタで構成され、前記バイポーラ・トランジスタは基板上にn埋込層と更にその上にn型区域が積層され、前記nチャンネルMOSトランジスタは基板上にp埋込層と更にその上にp型区域が積層され、前記pチャンネルMOSトランジスタは基板上にn埋込層と更にその上

にn型区域が積層され、かつ前記バイポーラ・トランジスタとnチャンネルMOSトランジスタとpチャンネルMOSトランジスタを各々分離するフィールド酸化膜がアイソプレーナ方式で形成された半導体集積回路装置において、

前記バイポーラ・トランジスタのコレクタを成すn埋込層と該n埋込層を囲むp埋込層の接合部で、前記n埋込層とp埋込層のうち、いずれか一方の埋込層における接合部直角方向への不純物濃度分布の濃度勾配を、濃度の高い分布と低い分布の2段に構成し、かつ前記濃度の低い分布の領域を他方の埋込層とPN接合させたことを特徴とする半導体集積回路装置。

【請求項5】 請求項1～4のいずれかに記載の半導体集積回路装置を搭載した2入力ANDゲート回路。

【請求項6】 シリコン基板上に熱酸化膜と更にその上に窒化膜を形成する第1の工程と、フォトリソを塗布した後にn埋込層を形成すべき箇所のレジストを除去する第2の工程と、前記除去した領域をn埋込層またはp埋込層のいずれかにするための不純物をイオン打込みする第3の工程と、前記不純物と同じ不純物を前記第3の工程でのイオン打込み量より低濃度で、かつシリコン基板に対して傾斜させてイオン打込みする第4の工程と、を含む半導体集積回路装置の製造方法。

【請求項7】 シリコン基板上に熱酸化膜と更にその上に窒化膜を形成する第1の工程と、フォトリソを塗布した後にn埋込層を形成すべき箇所のレジストを除去する第2の工程と、前記除去した領域をn埋込層またはp埋込層のいずれかにするための不純物をイオン打込みする第3の工程と、前記不純物と同じ不純物を前記第3の工程でのイオン打込み量より低濃度で、かつシリコン基板に対して傾斜させてイオン打込みする第4の工程と、残っていたレジストを除去し、更に残っていた窒化膜をマスクに選択酸化して窒化膜を除去するとともに、選択酸化して生じた酸化膜をマスクにp埋込層を形成するためにボロンを打込む第5の工程と、酸化膜をウェットエッチングにより除去し、更に単結晶シリコンをエピタキシャル成長させる第6の工程と、バイポーラ・トランジスタおよびpチャンネルMOSトランジスタが形成される領域にn型区域を、nチャンネルMOSトランジスタが形成される領域にp型区域をそれぞれ形成する第7の工程と、前記バイポーラ・トランジスタ、pチャンネルMOSトランジスタおよびnチャンネルMOSトランジスタを各々分離するためにフィールド酸化膜を形成した後、前記バイポーラ・トランジスタのコレクタ電極をとるためのn型領域を形成する第8の工程と、を含む半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、バイポーラ・トランジスタのコレクタに高濃度の埋込層を有する半導体集積回

路装置およびその製造方法に関するものである。

【0002】

【従来の技術】バイポーラ・トランジスタを有する半導体集積回路装置に関する技術は、例えば日経マイクロヒル社発行「日経マイクロデバイス」1990年2月号p53～p54に記載されている。これによると、バイポーラ・トランジスタを有する集積回路装置は、一般に、NPNトランジスタでは基板内部にコレクタの一部を成すn+が埋込まれ、このn+と他の素子とを電気的に分離するためn+を囲むようにp+が埋込まれている。

【0003】従来技術に示される埋込層の構造は大きく2つに分けられることができる。すなわち、一方はn+とp+が自己整合により作製され、n+とp+が直接PN接合を形成する構造であり、他方はp+がフォトレジストをマスクに所望の領域に作製され、n+とp+が直接PN接合を形成しない構造である。

【0004】

【発明が解決しようとする課題】しかしながら、上記従来技術のうち前者のものでは、PN接合が自己整合で形成されているので高集積化に適しているが、高濃度のn+とp+がPN接合を形成するので、接合容量が大きくなってバイポーラ・トランジスタのコレクタと基板との寄生容量が大きくなり、集積回路装置をより高速化する点では配慮がなされていない。

【0005】また後者のものでは、高濃度のn+とp+がPN接合を形成せず、寄生容量を低くできるので高速化に適しているが、フォトレジストをマスクにp+を作製するので合わせ余裕を考慮してn+とp+を離さなければならず、高集積化の点では配慮がなされていない。

【0006】本発明の目的は、高集積化と高速化の双方を実現することができる半導体集積回路装置およびその製造方法を提供することである。

【0007】

【課題を解決するための手段】上記目的を達成するためには、本発明は、バイポーラ・トランジスタで構成され、該バイポーラ・トランジスタは基板上にn+埋込層と更にその上にn型区域が積層され、かつ隣り合うバイポーラ・トランジスタ同士を分離するフィールド酸化膜が形成された半導体集積回路装置において、前記バイポーラ・トランジスタのコレクタを成すn+埋込層と該n+埋込層を囲むp+埋込層の接合部で、前記n+埋込層とp+埋込層のうち、いずれか一方の埋込層における接合部直角方向への不純物濃度分布の濃度勾配を、濃度の高い分布と低い分布の2段に構成し、かつ前記濃度の低い分布の領域を他方の埋込層とPN接合させたものである。

【0008】また、本発明は、バイポーラ・トランジスタとnチャンネルMOSトランジスタとpチャンネルMOSトランジスタで構成され、前記バイポーラ・トランジスタは基板上にn+埋込層と更にその上にn型区域が積層され、前記nチャンネルMOSトランジスタは基板

上にp+埋込層と更にその上にp型区域が積層され、前記pチャンネルMOSトランジスタは基板上にn+埋込層と更にその上にn型区域が積層され、かつ前記バイポーラ・トランジスタとnチャンネルMOSトランジスタとpチャンネルMOSトランジスタを各々分離するフィールド酸化膜が形成された半導体集積回路装置において、前記バイポーラ・トランジスタのコレクタを成すn+埋込層と該n+埋込層を囲むp+埋込層の接合部で、前記n+埋込層とp+埋込層のうち、いずれか一方の埋込層における接合部直角方向への不純物濃度分布の濃度勾配を、濃度の高い分布と低い分布の2段に構成し、かつ前記濃度の低い分布の領域を他方の埋込層とPN接合させたものである。

【0009】さらに、本発明は、アイソプレーナ型の半導体集積回路装置においても上記各構成と同様な構成にしたことである。

【0010】また、本発明は上記半導体集積回路装置のいずれかを2入力NANDゲート回路に搭載したことである。

【0011】また、本発明の製造方法は、シリコン基板上に熱酸化膜と更にその上に窒化膜を形成する第1の工程と、フォトレジストを塗布した後にn+埋込層を形成すべき箇所のレジストを除去する第2の工程と、前記除去した領域をn+埋込層またはp+埋込層のいずれかにするための不純物をイオン打込みする第3の工程と、前記不純物と同じ不純物を前記第3の工程でのイオン打込み量より低濃度で、かつシリコン基板に対して傾斜させてイオン打込みする第4の工程と、を含むことである。

【0012】さらに、本発明の製造方法は、シリコン基板上に熱酸化膜と更にその上に窒化膜を形成する第1の工程と、フォトレジストを塗布した後にn+埋込層を形成すべき箇所のレジストを除去する第2の工程と、前記除去した領域をn+埋込層またはp+埋込層のいずれかにするための不純物をイオン打込みする第3の工程と、前記不純物と同じ不純物を前記第3の工程でのイオン打込み量より低濃度で、かつシリコン基板に対して傾斜させてイオン打込みする第4の工程と、残っていたレジストを除去し、更に残っていた窒化膜をマスクに選択酸化して窒化膜を除去するとともに、選択酸化して生じた酸化膜をマスクにp+埋込層を形成するためにボロンを打込む第5の工程と、酸化膜をウェットエッチングにより除去し、更に単結晶シリコンをエピタキシャル成長させる第6の工程と、バイポーラ・トランジスタおよびpチャンネルMOSトランジスタが形成される領域にn型区域を、nチャンネルMOSトランジスタが形成される領域にp型区域をそれぞれ形成する第7の工程と、前記バイポーラ・トランジスタ、pチャンネルMOSトランジスタおよびnチャンネルMOSトランジスタを各々分離するためにフィールド酸化膜を形成した後、前記バイポーラ・トランジスタのコレクタ電極をとるためのn型領

域を形成する第8の工程と、を含むことである。

#### 【0013】

【作用】上記構成によれば、2段構成から成る濃度勾配のうち低い方の分布が、他方の埋込層とPN接合を形成するようになるため、PN接合部の空乏層が伸び、接合容量が低下する。これにより、バイポーラトランジスタのコレクタと基板との寄生容量を低減することができ、半導体集積回路装置の高速化と高集積化を達成することが可能となる。

#### 【0014】

【実施例】以下、本発明の一実施例を図面に従って説明する。図1は、バイポーラ・トランジスタ、nチャンネルMOSトランジスタおよびpチャンネルMOSトランジスタを1つのシリコン基板1上に作製した集積回路装置の断面構造を示している。図において、Aにはバイポーラ・トランジスタの一部が、Bにはバイポーラ・トランジスタが、CにはnチャンネルMOSトランジスタが、DにはpチャンネルMOSトランジスタがそれぞれ作製されている。

【0015】そして、図2に示すように、バイポーラ・トランジスタA、Bのコレクタを成すn<sup>+</sup>埋込層の横方向（n<sup>+</sup>埋込層とp<sup>+</sup>埋込層との接合面に直角な方向）の不純物濃度分布の濃度勾配が、濃度の高い分布2aと低い分布2bの2段構成と成っている。このようにすると、2段構成から成る濃度勾配の濃度の低い分布2bは、p<sup>+</sup>埋込層とPN接合を形成するため、PN接合の空乏層が伸び、接合容量を低くできる。これにより、バイポーラ・トランジスタと基板との寄生容量を低減でき、半導体集積回路装置の高速動作を実現することができる。

【0016】図3は、n<sup>+</sup>埋込層を自己整合により従来技術で形成した、n<sup>+</sup>埋込層とp<sup>+</sup>埋込層の不純物濃度分布であり、高濃度のn<sup>+</sup>とp<sup>+</sup>がPN接合を形成しているため空乏層が短かく接合容量が高くなっている。

【0017】次に、上記図1および図2に示した半導体集積回路装置の製造方法について説明する。図4～図9は代表的な各製造工程における断面図を示している。図4において、比抵抗 $10\Omega\cdot\text{cm}$ 程度のp形のシリコン基板1上に、 $10\sim500\text{nm}$ の熱酸化シリコン膜18と $10\sim500\text{nm}$ の窒化シリコン膜19を形成する。次に図5において、n<sup>+</sup>埋込層を形成するため、フォトリソ技術と既存のドライエッチング技術により、バイポーラ・トランジスタとpMOSトランジスタが作製される区域の窒化シリコン膜をエッチングし、残っているフォトリソ20と窒化シリコン膜19をマスクにn形の不純物である例えばアンチモン（Sb）をイオン打込み技術により、 $1\sim5\times10^{15}\text{cm}^{-2}$ 程度シリコン基板1に導入する。そして、図6において、n<sup>+</sup>埋込層の不純物濃度分布の濃度勾配が2段構成の高い分布2aと低い分布2bに形成するため、例えば斜めイオン打込み

技術を使って、アンチモン $10^{13}\sim10^{15}\text{cm}^{-2}$ 程度を基板1に対して $30\sim60$ 度の角度でシリコン基板1に導入する。

【0018】なお、斜めイオン打込みが使えない場合でも以下のようにして上記不純物濃度分布を得ることが可能である。例えば、図5のイオン打込みに続いてレジストを除去し、窒化シリコン膜19のエッジに窒化シリコン或は酸化シリコン膜のサイドスペーサを形成しイオン打込みをする。この際、前者のイオン打込みは低濃度で導入する。続いて、p<sup>+</sup>埋込層を形成するためフォトリソを除去し、残っている窒化膜をマスクに選択酸化を行ない $300\sim500\text{nm}$ の熱酸化膜を形成する。その後、窒化膜を除去し選択酸化した酸化膜をマスクにp形の不純物であるボロン（B）をイオン打込み技術により、 $1\sim5\times10^{13}\text{cm}^{-2}$ 程度を基板に導入する。

【0019】以上の実施例によれば、p<sup>+</sup>埋込層の不純物をフォトリソをマスクに導入してないので、高集積化に適している。

【0020】次に、図7において、前イオン打込みのマスクに使った酸化膜を既存のウェットエッチング技術により除去し、厚さ $0.5\sim1.5\mu\text{m}$ の単結晶シリコン膜をエピタキシャル成長させる。このとき、バイポーラ・トランジスタとpチャンネルMOSトランジスタが作製される領域にn<sup>+</sup>埋込層2が、その他の領域にp<sup>+</sup>埋込層3がそれぞれ形成される。

【0021】続いて、単結晶シリコン上に $10\sim500\text{nm}$ の酸化シリコン膜と窒化シリコン膜を設け、バイポーラ・トランジスタとpチャンネルMOSトランジスタの作製される区域の窒化シリコン膜をフォトリソ技術及びドライエッチング技術を使って窒化シリコン膜をエッチングし、フォトリソと窒化シリコン膜をマスクに、n形の不純物であるリン（P）を $1\sim10\times10^{12}\text{cm}^{-2}$ 程度イオン打込みする。そして、マスクに使ったフォトリソを除去した後、残っている窒化シリコン膜をマスクに選択酸化をし $50\sim500\text{nm}$ の酸化シリコン膜を形成する。続いて、窒化シリコン膜を除去し、選択酸化した酸化シリコン膜をマスクにp形の不純物であるボロン（B）を $1\sim10\times10^{13}\text{cm}^{-2}$ 程度イオン打込みする。ここで、 $1000^\circ\text{C}$ 、1時間相当の熱処理を施し、表面より $1\sim2\mu\text{m}$ の深さのところまでが不純物濃度 $10^{15}\sim10^{17}\text{cm}^{-3}$ のn形区域4とp形区域5を形成し、残っている酸化シリコン膜を除去する。

【0022】さらに、図8において、単結晶シリコン上に形成される各素子を電気的に分離するため、上記した選択酸化法によって $100\sim1000\text{nm}$ の酸化シリコン膜7を各素子間に形成する。このとき、p形区域5に形成される素子の電気的な分離を確実なものとするため、p形区域5の酸化シリコン膜7の直下に不純物濃度 $10^{16}\sim10^{17}\text{cm}^{-3}$ 程度のp形領域6を形成する。次に、バイポーラ・トランジスタのコレクタ部を表面から

電極を取り出すため、n<sup>+</sup>形領域8をフォトレジスト技術、イオン打込み技術を使って、n形となる不純物リン(p)を $1.0 \times 10^{15} \text{cm}^{-2}$ 程度打込み、n<sup>+</sup>埋込層と接属するように1000℃、30分相当の熱処理を施す。

【0023】次に図9において、まずMOSトランジスタのゲート酸化膜9を形成するため、5～50nmの酸化シリコン膜を熱酸化により設ける。そして、化学的気相蒸着技術を用いて多結晶シリコンを堆積させ、低抵抗化のためのn形の不純物を導入する。この後に、フォトレジスト技術を使ってMOSトランジスタのゲート電極10としたい部分にフォトレジストを残し、それをマスクに、既存のドライエッチング技術により多結晶シリコンをエッチングしてゲート電極10を得る。

【0024】次にnチャンネルMOSトランジスタのソース、ドレイン領域を形成するため、フォトレジスト技術によってnチャンネルMOSトランジスタが形成されるp形区域5上のレジストを除去し、n形の不純物であるリン(p)域はヒ素(As)をイオン打込み技術により $1.0 \times 10^{14} \sim 1.0 \times 10^{16} \text{cm}^{-2}$ 打込みn<sup>+</sup>領域11を形成する。

【0025】続いて、バイポーラのベースを形成するために、上記と同様の方法でベースを形成したい部分のレジストを除去して、p形の不純物となるボロンを $5 \sim 1.0 \times 10^{13} \text{cm}^{-2}$ 打込みベース領域12を形成する。ここで、ベース領域の接合深さが100～500nmとなるように800～1000℃で熱処理を施す。その後に、ベース領域が配線金属膜と接触する領域とpチャンネルMOSトランジスタが形成されるn形区域4上のレジストを除去し、p形の不純物であるボロン(B)を $1.0 \times 10^{15} \sim 1.0 \times 10^{16} \text{cm}^{-2}$ 打込みp<sup>+</sup>領域15を形成する。

【0026】さらに、バイポーラのエミッタを形成するため、100～1000nmの酸化シリコンを化学的蒸着技術により堆積し、エミッタを形成する部分の酸化シリコン膜をフォトレジスト技術及びドライエッチング技術により開口する。その後、多結晶シリコンを前記方法により堆積し、エミッタ領域13を形成するため、多結晶シリコンにn形の不純物となるリン(p)或はヒ素(As)をイオン打込み技術により、 $1.0 \times 10^{15} \sim 5 \times 10^{16} \text{cm}^{-2}$ 打込み、エミッタ領域の接合深さが50～200nmとなるよう800～1000℃の熱処理を施しエミッタ領域13を形成する。続いて、エミッタ領域形成に使用した多結晶シリコンを所定の形状に加工してエミッタ多結晶シリコン電極14を得る。

【0027】最後に、配線金属膜を設けるためにシリコン系酸化物による層間絶縁膜16を形成し、各素子の金属膜と接続したい部分に接続孔を開口する。その後、アルミニウム等の金属膜を堆積し、所定の形状に加工して金属膜17を得る。以上のような製造工程により、図1及び図2に示した半導体集積回路装置を得ることができる。

【0028】図10は本発明の他の実施例を示してお

り、p<sup>+</sup>埋込層に適用した場合の断面構造である。また図11は図10のX'-Y'線における不純物濃度分布を示している。図11に示すように、バイポーラ・トランジスタA、Bのコレクタを成すp<sup>+</sup>埋込層の横方向(p<sup>+</sup>埋込層とn<sup>+</sup>埋込層との接合面に直角な方向)の不純物濃度分布の濃度勾配が、濃度の高い分布3aと低い分布3bの2段に構成されている。このように構成しても前述の実施例と同様な効果が得られる。

【0029】図12は本発明の更に他の実施例を示しており、アイソプレーナ型のバイポーラ・トランジスタに適用した例である。アイソプレーナ型のバイポーラ・トランジスタはフィールド酸化膜7が上部へ突出しないため、半導体集積回路装置表面を平坦化することができ。図に示した線分X-Yにおいては、図2と同様の不純物濃度分布となり、同様の効果が得られる。

【0030】図13は、本発明の半導体集積回路装置を実際に適用した代表的な回路図を示しており、2入力NANDゲート回路である。図において、M1、M2はpチャンネルMOSトランジスタ、M3～M7はnチャンネルMOSトランジスタ、Q1、Q2がnpnのバイポーラ・トランジスタを示しており、バイポーラ・トランジスタQ1、Q2のベースとグランドの間に、その抵抗値を制御信号によって変えられるようnチャンネルMOSトランジスタM5、M6、M7が接続されている。本実施例によれば、図に示されるバイポーラ・トランジスタのコレクタと基板との寄生容量C<sub>cs</sub>が低減できる。図14は、本実施例を実際に適用したときの代表的な回路図を示しており差動増幅回路である。

【0031】

【発明の効果】以上説明したように、本発明によれば、バイポーラ・トランジスタのコレクタを成すp<sup>+</sup>とそれを囲むp<sup>+</sup>との間に形成されるPN接合において接合容量を低くでき、バイポーラのコレクタと基板との寄生容量を低減することができるため、半導体集積回路装置の高集積化とともに高速化も達成することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例による半導体集積回路装置の断面構造図である。

【図2】図1に示したX-Y線における不純物濃度分布の概略図である。

【図3】図2に対応した、従来技術による不純物濃度分布の概略図である。

【図4】ある製造工程における本発明の半導体集積回路装置の断面構造図である。

【図5】図4の次の工程における半導体集積回路装置の断面構造図である。

【図6】図5の次の工程における半導体集積回路装置の断面構造図である。

【図7】図6の次の工程における半導体集積回路装置の断面構造図である。

【図8】図7の次の工程における半導体集積回路装置の断面構造図である。

【図9】図8の次の工程における半導体集積回路装置の断面構造図である。

【図10】本発明の他の実施例による半導体集積回路装置の断面構造図である。

【図11】図10に示したX' - Y'線における不純物濃度分布の概略図である。

【図12】本発明の更に他の実施例による半導体集積回路装置の断面構造図である。

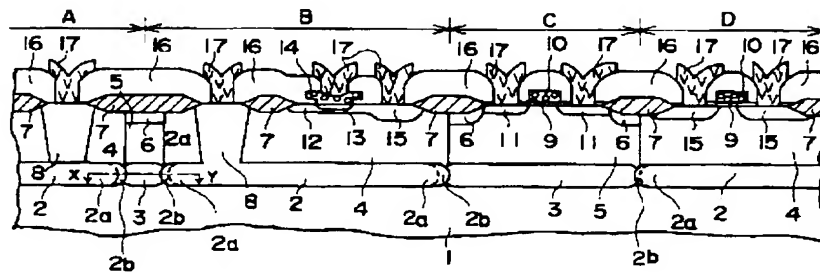
【図13】本発明の半導体集積回路装置を適用した2入力NANDゲート回路図である。

【図14】図13の応用例としての差動増幅回路図である。

【符号の説明】

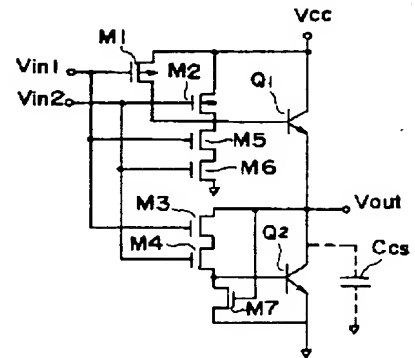
- 1 p形シリコン基板
- 2 n+埋込層
- 3 p+埋込層
- 4 n形区域
- 5 p形区域
- 7 酸化シリコン膜
- 10 ゲート電極
- 13 エミッタ多結晶シリコン電極
- 17 金属膜

【図1】

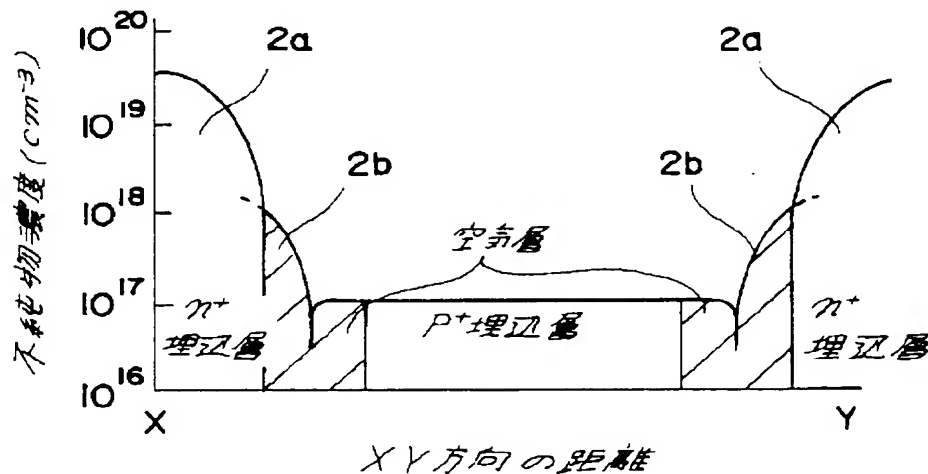


- 1 P形シリコン膜 2 n+埋込層 3 P+埋込層 4 n形区域
- 5 P形区域 6 P形領域 7 酸化シリコン膜 8 n+形領域
- 9 ゲート酸化膜 10 ゲート電極 11 n+領域 12 ベース領域
- 13 エミッタ領域 14 エミッタ多結晶シリコン電極
- 15 P+領域 16 層間絶縁膜 17 金属膜 18 酸化シリコン膜
- 19 酸化シリコン膜 20 フォトリソグ

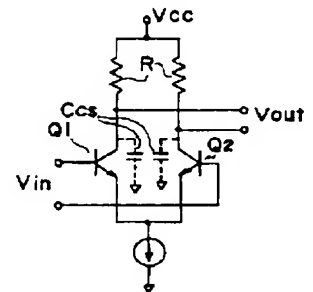
【図13】



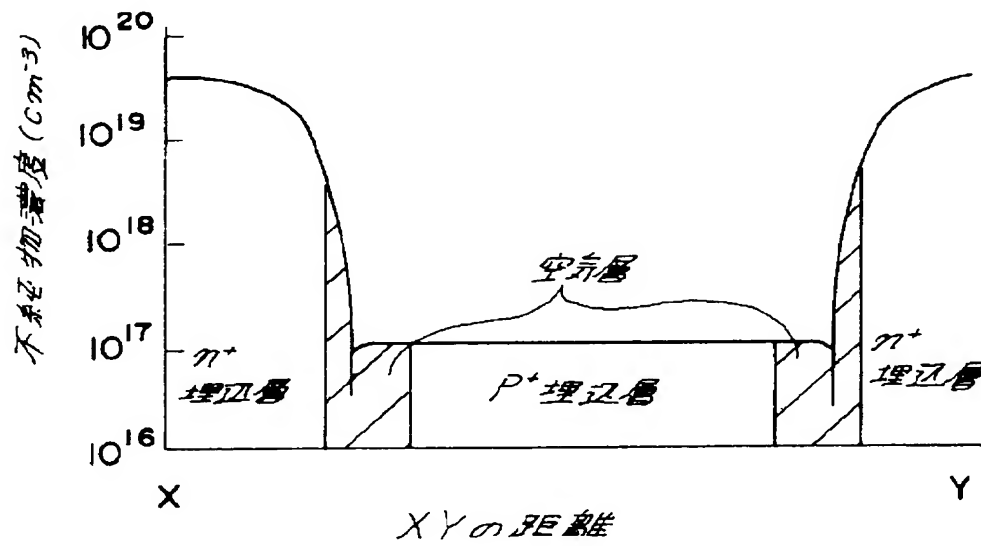
【図2】



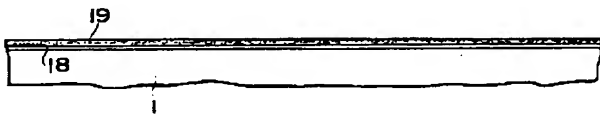
【図14】



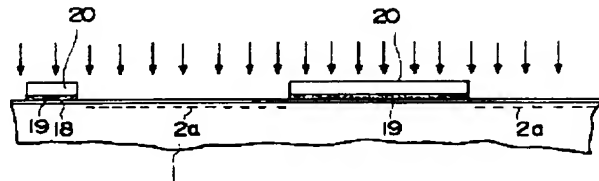
【図3】



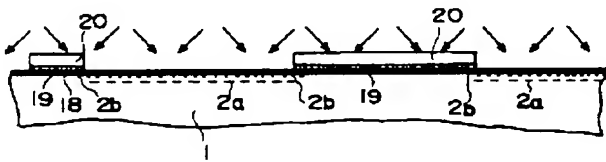
【図4】



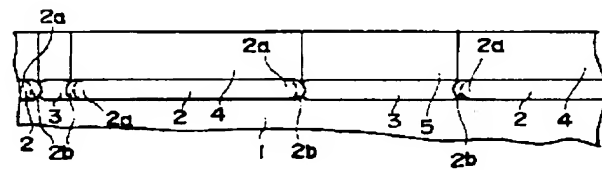
【図5】



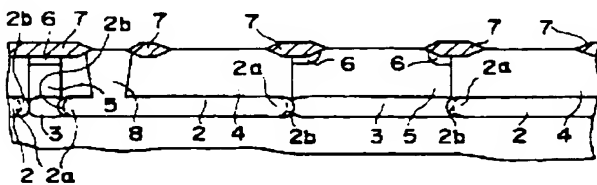
【図6】



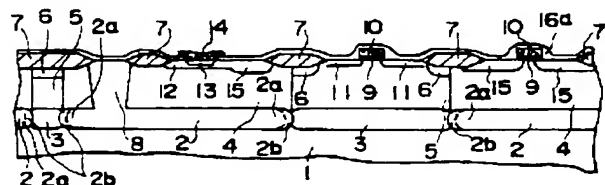
【図7】



【図8】

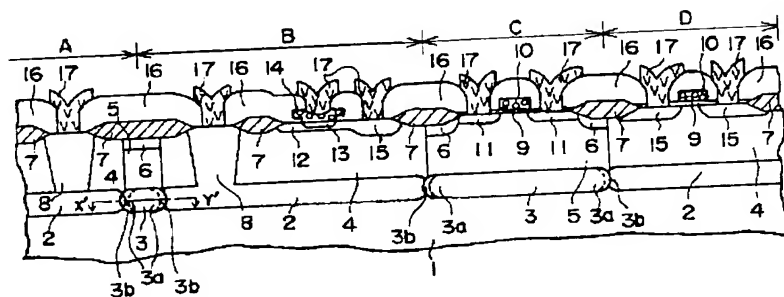


【図9】

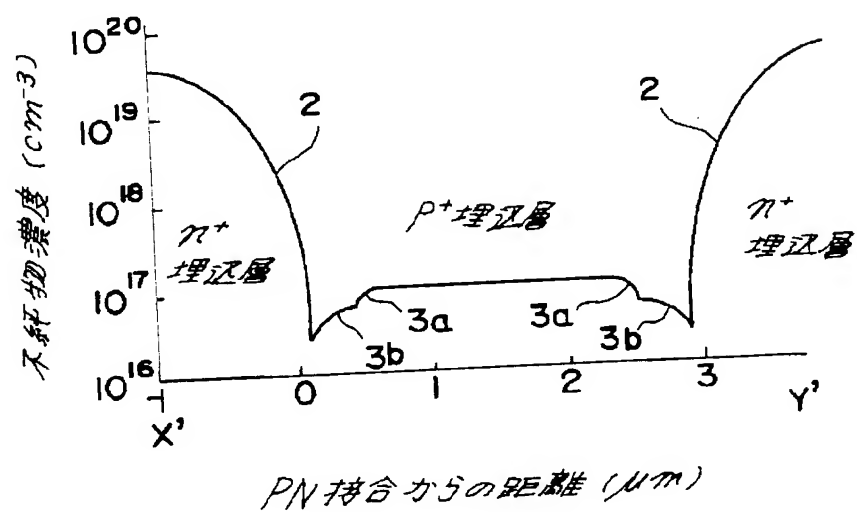




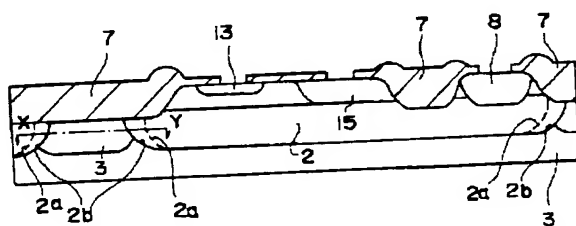
【図10】



【図11】



【図12】



フロントページの続き

(72) 発明者 渡辺 篤雄  
茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内